

明細書

半導体装置の製造方法

技術分野

本発明は、抵抗不純物層を含む半導体装置およびその製造方法に関する。

背景技術

半導体層に形成される抵抗素子として、例えば抵抗不純物層がある。この抵抗不純物層は、例えばシリコン基板からなる半導体層に不純物を導入することにより形成される。この抵抗不純物層は例えば、素子分離領域によって電氣的に分離された領域（活性領域）に形成される。この場合、この抵抗不純物層が正常に動作するためには、前記素子分離領域によって、前記抵抗不純物層とその周辺領域との絶縁性が十分に確保されていることが重要である。

要約

本発明の目的は、抵抗不純物層を含む新規な半導体装置およびその製造方法を提供することにある。

1. 第1の半導体装置の製造方法

本発明の第1の半導体装置の製造方法は、

(a) 半導体層上に、素子分離領域と、前記素子分離領域によって電氣的に分離された活性領域とを形成し、

(b) 第1不純物導入領域を形成することにより、前記活性領域の少なくとも一部に抵抗不純物層を形成し、その際に、前記素子分離領域に第1不純物導入禁止領域を設けること、

を含む。

本明細書において、第1不純物導入領域とは、第1不純物が導入される領域をいい、第1不純物導入禁止領域とは、前記第1不純物が導入されない領域をいう。

本発明の第 1 の半導体装置の製造方法によれば、前記素子分離領域の絶縁性を確保することができ、高品質の半導体装置を得ることができる。詳しくは、本発明の実施の形態の欄で述べる。

また、本発明の第 1 の半導体装置の製造方法は、以下の (1) ~ (3) の態様をとることができる。

(1) 前記 (b) において、

前記抵抗不純物層を複数形成し、

前記第 1 不純物導入禁止領域は少なくとも、隣り合う前記第 1 不純物導入領域を分離するように形成できる。これにより、隣り合う前記第 1 不純物導入領域の間には前記第 1 不純物が導入されないため、前記素子分離領域の特性を変化させることがなく、前記素子分離領域の形状を損なうことがない。このため、前記素子分離領域の絶縁性をより確実に確保することができる。

(2) さらに、(c) 前記抵抗不純物層に連続する領域に第 2 不純物導入領域を形成することにより、コンタクト不純物層を形成すること、を含むことができる。

この場合、前記 (c) において、前記第 2 不純物導入領域を形成する際、少なくとも前記素子分離領域に第 2 不純物導入禁止領域を設けることができる。これにより、前記素子分離領域の特性を変化させることがなく、前記素子分離領域の形状を損なうことがない。このため、前記素子分離領域の絶縁性をより確実に確保することができる。

なお、本明細書において、第 2 不純物導入領域とは、第 2 不純物が導入される領域をいい、第 2 不純物導入禁止領域とは、前記第 2 不純物が導入されない領域をいう。

また、この場合、前記 (c) において、前記コンタクト不純物層を複数形成し、

前記第 2 不純物導入禁止領域は少なくとも、隣り合う前記第 2 不純物導入領域を分離するように形成できる。これにより、隣り合う前記第 2 不純物導入領域の間には前記第 2 不純物が導入されないため、前記素子分離領域の形状を損なうことがない。このため、前記素子分離領域の絶縁性をさらに確実に確保することができる。

2. 第 2 の半導体装置の製造方法

本発明の第２の半導体装置の製造方法は、

(a) 半導体層上に、素子分離領域と、前記素子分離領域によって電氣的に分離された活性領域とを形成し、

(b) 第１不純物導入領域を形成することにより、前記活性領域の少なくとも一部に抵抗不純物層を形成し、

(c) 前記抵抗不純物層に連続する領域に第２不純物導入領域を形成することにより、コンタクト不純物層を形成し、その際に、少なくとも前記素子分離領域に第２不純物導入禁止領域を設けることを、
を含む。

本発明の第２の半導体装置の製造方法によれば、前記素子分離領域の絶縁性を確保することができ、高品質の半導体装置を得ることができる。詳しくは、本発明の実施の形態の欄で述べる。

また、本発明の第２の半導体装置の製造方法は、さらに、前記 (c) において、

前記コンタクト不純物層を複数形成し、前記第２不純物導入禁止領域は少なくとも、隣り合う前記第２不純物導入領域を分離するように形成できる。これにより、隣り合う前記第２不純物導入領域には前記第２不純物が導入されないため、前記素子分離領域の形状を損なうことがない。このため、前記素子分離領域の絶縁性をさらに確実に確保することができる。

３．第３の半導体装置の製造方法

本発明の第３の半導体装置の製造方法は、

活性領域に形成された抵抗不純物層と、ソース - ドレイン間耐圧が異なる絶縁ゲート型の高耐圧トランジスタおよび低耐圧トランジスタとが同一の半導体層上に混在する半導体装置の製造方法であって、

(a) 前記半導体層上に、素子分離領域と、前記素子分離領域によって電氣的に分離された活性領域とを形成し、

(b) 前記半導体層の上方に絶縁層を形成し、

(c) 前記抵抗不純物層の形成領域において、第１不純物導入領域を形成することにより、前記活性領域の少なくとも一部に抵抗不純物層を形成し、その際に、前記素子分離領域に第１不純物導入禁止領域を設け、

(d) 前記絶縁層を所定の形状にパターニングすることにより、前記高耐圧トランジスタの形成領域において、該高耐圧トランジスタのゲート絶縁層を形成し、前記低耐圧トランジスタおよび前記抵抗不純物層の形成領域において、前記絶縁層を除去し、

(e) 前記低耐圧トランジスタの形成領域において、該低耐圧トランジスタのゲート絶縁層を形成し、

(f) 前記第 1 および第 2 ゲート絶縁層上にそれぞれ、前記各トランジスタのゲート導電層を形成し、

(g) 第 2 不純物を導入することにより、前記各トランジスタのソース / ドレイン領域を形成すること、を含む。

本発明の第 3 の半導体装置の製造方法によれば、前記素子分離領域の絶縁性を確保することができ、高品質の半導体装置を得ることができる。詳しくは、本発明の実施の形態の欄で述べる。

また、本発明の第 3 の半導体装置の製造方法は、以下の (1) および (2) の態様をとることができる。

(1) 前記 (g) において、

前記第 2 不純物を導入することにより、前記各トランジスタのソース / ドレイン領域を形成するとともに、前記抵抗不純物層に連続する領域にコンタクト不純物層を形成すること、を含むことができる。これにより、前記各トランジスタのソース / ドレイン領域と、前記コンタクト不純物層とを同一の工程で形成することができるため、製造プロセスの効率化を図ることができる。

この場合、前記 (g) において、前記第 2 不純物を導入する際、前記抵抗不純物層の形成領域において、少なくとも前記活性領域に第 2 不純物導入領域を設け、少なくとも前記素子分離領域に第 2 不純物導入禁止領域を設けることができる。これにより、前記素子分離領域の特性を変化させることがなく、前記素子分離領域の形状を損なうことがない。このため、前記素子分離領域の絶縁性をより確実に確保することができる。

また、この場合、前記 (g) において、前記コンタクト不純物層を複数形成し、前記第 2 不純物導入禁止領域は少なくとも、隣り合う前記第 2 不純物導入領域を分離するように形成できる。これにより、隣り合う前記第 2 不純物導入領域の間には前記第 2 不純物が導入されないため、前記素子分離領域の形状を

損なうことがない。このため、前記素子分離領域の絶縁性をさらに確実に確保することができる。

(2) 前記(c)において、前記抵抗不純物層を複数形成し、

前記第1不純物導入禁止領域は少なくとも、隣り合う前記第1不純物導入領域を分離するように形成できる。これにより、隣り合う前記第1不純物導入領域の間には前記第1不純物が導入されないため、前記素子分離領域の特性を変化させることがなく、前記素子分離領域の形状を損なうことがない。このため、前記素子分離領域の絶縁性をさらに確実に確保することができる。

4. 第4の半導体装置の製造方法

本発明の第4の半導体装置の製造方法は、

活性領域に形成された抵抗不純物層と、ソース・ドレイン間耐圧が異なる絶縁ゲート型の高耐圧トランジスタおよび低耐圧トランジスタとが同一の半導体層上に混在する半導体装置の製造方法であって、

(a) 前記半導体層上に、素子分離領域と、前記素子分離領域によって電気的に分離された活性領域とを形成し、

(b) 前記半導体層の上方に絶縁層を形成し、

(c) 第1不純物導入領域を形成することにより、前記活性領域の少なくとも一部に抵抗不純物層を形成し、

(d) 前記絶縁層を所定の形状にパターニングすることにより、前記高耐圧トランジスタの形成領域において、該高耐圧トランジスタのゲート絶縁層を形成し、前記低耐圧トランジスタおよび前記抵抗不純物層の形成領域において、前記絶縁層を除去し、

(e) 前記低耐圧トランジスタの形成領域において、該低耐圧トランジスタのゲート絶縁層を形成し、

(f) 前記第1および第2ゲート絶縁層上にそれぞれ、前記各トランジスタのゲート導電層を形成し、

(g) 前記第2不純物を導入することにより、前記各トランジスタのソース/ドレイン領域を形成するとともに、前記抵抗不純物層に連続する領域にコンタクト不純物層を形成し、その際に、少なくとも前記素子分離領域に第2不純物導入禁止領域を設けること、を含む。

本発明の第４の半導体装置の製造方法によれば、前記素子分離領域の絶縁性を確保することができ、高品質の半導体装置を得ることができる。また、前記（ｇ）において、前記各トランジスタのソース／ドレイン領域と、前記コンタクト不純物層とを同一の工程で形成することができるため、製造プロセスの効率化を図ることができる。詳しくは、本発明の実施の形態の欄で述べる。

また、本発明の第４の半導体装置の製造方法は、以下の態様をとることができる。

前記（ｇ）において、

前記第２不純物を導入する際、前記抵抗不純物層の形成領域において、少なくとも前記活性領域に第２不純物導入領域を設け、少なくとも前記素子分離領域に第２不純物導入禁止領域を設けることができる。これにより、前記素子分離領域の特性を変化させることがなく、前記素子分離領域の形状を損なうことがない。

このため、前記素子分離領域の絶縁性をより確実に確保することができる。

この場合、前記（ｇ）において、前記コンタクト不純物層を複数形成し、前記第２不純物導入禁止領域は少なくとも、隣り合う前記第２不純物導入領域を分離するように形成できる。これにより、隣り合う前記第２不純物導入領域の間には前記第２不純物が導入されないため、前記素子分離領域の形状を損なうことがない。このため、前記素子分離領域の絶縁性をさらに確実に確保することができる。

また、前述した本発明の第１～４の半導体装置の製造方法において、前記素子分離領域は、セシリセスLOCOSであることができる。この場合、通常のLOCOS酸化によって形成される素子分離領域よりも膜厚が小さいため、前述した本発明の製造方法によって、前記素子分離領域の絶縁性を確保することにより得られる効果大きい。

５．半導体装置

本発明の半導体装置は、

半導体層と、

前記半導体層上に形成され、ソース－ドレイン間耐圧が異なる絶縁ゲート型の高耐圧トランジスタおよび低耐圧トランジスタと、

前記半導体層上に形成された抵抗不純物層と、

を含む。

前述した本発明の半導体装置の製造方法によれば、上記構成を有する半導体装置を製造できる。

この場合、前記半導体層には、素子分離領域と、該素子分離領域によって電気的に分離された活性領域とが形成され、

前記抵抗不純物層は、前記活性領域に形成できる。

また、この場合、前記素子分離領域は、セミリセスLOCOSであることができる。この構成によれば、前記素子分離領域は、通常のLOCOS酸化によって形成される素子分離領域よりも膜厚が小さいため、前記素子分離領域の絶縁性を確保することにより得られる効果が大きい。

図面の簡単な説明

【図 1】 本発明を適用した一実施の形態に係る半導体装置を模式的に示す断面図である。

【図 2】 図 1 に示す半導体装置のうち、高耐圧トランジスタ、低耐圧トランジスタおよび抵抗素子を模式的に示す断面図である。

【図 3】 図 1 および図 2 に示す抵抗素子を模式的に示す平面図である。

【図 4】 図 3 に示す抵抗素子の B - B 線に沿った断面を模式的に示す図である。

【図 5】 図 3 に示す抵抗素子の C - C 線に沿った断面を模式的に示す図である。

【図 6】 図 1 および図 2 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 7】 図 1 および図 2 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 8】 図 7 に示す工程における抵抗不純物層の形成領域を模式的に示す平面図である。

【図 9】 図 1 および図 2 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 10】 図 1 および図 2 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 1 1】 図 1 および図 2 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 1 2】 図 1 および図 2 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 1 3】 図 1 および図 2 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 1 4】 図 1 および図 2 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 1 5】 図 1 および図 2 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 1 6】 図 1 および図 2 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 1 7】 図 1 および図 2 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 1 8】 図 1 および図 2 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 1 9】 図 1 および図 2 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 2 0】 図 1 および図 2 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 2 1】 図 2 0 に示す工程における抵抗不純物層の形成領域を模式的に示す平面図である。

【図 2 2】 図 2 1 に示す抵抗不純物層の形成領域の B - B 線に沿った断面を模式的に示す図である。

【図 2 3】 図 1 および図 2 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 2 4】 図 2 3 に示す工程における抵抗不純物層の形成領域を模式的に示す平面図である。

【図 2 5】 図 2 4 に示す抵抗不純物層の形成領域の B - B 線に沿った断面を模式的に示す図である。

【図 2 6】 本実施の形態の一変形例を模式的に示す平面図である。

【図 2 7】 本実施の形態の別の一変形例を模式的に示す平面図である。

【図 2 8】 比較例である一般的な半導体装置の製造工程を模式的に示す平面図である。

【図 2 9】 比較例である一般的な半導体装置の製造工程を模式的に示す断面図である。

【図 3 0】 比較例である一般的な半導体装置の製造工程を模式的に示す断面図である。

【図 3 1】 比較例である一般的な半導体装置の製造工程を模式的に示す断面図である。

【図 3 2】 比較例である一般的な半導体装置の製造工程を模式的に示す断面図である。

【図 3 3】 比較例である一般的な半導体装置の製造工程を模式的に示す平面図である。

【図 3 4】 比較例である一般的な半導体装置の製造工程を模式的に示す断面図である。

詳細な説明

以下、本発明の好適な実施の形態について、図面を参照しながら説明する。

1. 半導体装置の構造

図 1 は、本発明を適用した第 1 の実施の形態に係る半導体装置を模式的に示す断面図である。図 2 は、図 1 に示す抵抗素子 100、高耐圧トランジスタ 200 および低耐圧トランジスタ 300 の部分を抜粋した断面図である。すなわち、図 2 に示す抵抗素子 100 およびトランジスタ 200、300 は、図 1 に示す半導体装置の一部を抜き出して示したものである。図 3 は、図 1 および図 2 に示す抵抗不純物層 24 を模式的に示す平面図である。図 4 は、図 3 に示す抵抗素子 100 の B - B 線に沿った断面であり、図 5 は、図 3 に示す抵抗素子 100 の C - C 線に沿った断面である。なお、図 2 に示す抵抗素子 100 の断面は、図 3 の A - A 線に沿った断面である。

本実施の形態の半導体装置は、図 1 に示すように、抵抗素子 100 と nMOS トランジスタ（高耐圧および低耐圧トランジスタ）200、300 とを含む。この抵抗素子 100 および nMOS トランジスタ 200、300 は同一の半導

体層上に混在している。なお、本実施の形態の半導体装置においては、前記半導体層として、p型シリコン基板からなる半導体基板10を用いた場合について説明する。また、nMOSトランジスタ200, 300のゲート導電層20H, 20Lは、ドーフトポリシリコン層からなるが、このような構造も通常、MOS構造と呼ばれている。

(A) 抵抗素子

抵抗素子100は図1～図3に示すように、抵抗不純物層24を含む。この抵抗不純物層24は、半導体基板10に形成されている。図1～図3に示す半導体装置では、抵抗不純物層24が複数形成されている場合を示す。この場合、隣り合う抵抗不純物層24は、素子分離領域12によって電氣的に分離されている。

本実施の形態においては、素子分離領域12がセミリセスLOCOS酸化によって形成された場合を示す。また、この抵抗不純物層24の抵抗値は、導入される不純物の種類および量を適宜調整することにより所望の値に設定することができる。なお、本実施の形態では、抵抗不純物層24にn型不純物が導入されている場合について説明するが、抵抗不純物層24に導入される不純物の導電型はこれに限定されるわけではない。

また、抵抗素子100には図3～図5に示すように、コンタクト不純物層26が形成されている。また、コンタクト不純物層26は抵抗不純物層24と連続しており、かつ、コンタクト不純物層26の上にはコンタクト30が設置されている。コンタクト不純物層26は、コンタクト30との良好な電氣的接続を得るため、抵抗不純物層24よりも不純物濃度が高く形成されている。コンタクト30は、図4に示すように、絶縁層70に形成されたコンタクトホール32に導電層34が埋め込まれて形成されている。このコンタクト30の上には配線層36が形成されている。すなわち、コンタクト不純物層26はコンタクト30を介して配線層36と電氣的に接続されている。また、コンタクト30においてより良好な電氣的接続を得るため、コンタクト不純物層26の上にはシリサイド層26Sを形成することにより、コンタクト不純物層26の低抵抗化を図ることができる。

(B) 高耐圧トランジスタおよび低耐圧トランジスタ

本実施の形態の半導体装置では、図 1 および図 2 に示すように、抵抗素子 100 とともに、高耐圧トランジスタ 200、400 および低耐圧トランジスタ 300、500 が同一の半導体基板 10 上に混在している。

図 1 において、領域 HV は、高耐圧トランジスタ 200、400 が形成されている領域を示し、領域 LV は、低耐圧トランジスタ 300、500 が形成されている領域を示す。また、領域 HVn は、高耐圧 N チャネル MOS (n MOS) トランジスタ 200 の形成領域を示し、領域 LVn は、低耐圧 N チャネル MOS (n MOS) トランジスタ 300 の形成領域を示す。同様に、領域 HVp は、高耐圧 P チャネル MOS (p MOS) トランジスタ 400 の形成領域を示し、領域 LVp は、低耐圧 P チャネル MOS (n MOS) トランジスタ 500 の形成領域を示す。各トランジスタは、素子分離領域 12 によって分離されている。本実施の形態では、素子分離領域 12 がセミリセス LOCOS からなる場合を示す。

また、この半導体装置においては、図 1 に示すように、高耐圧トランジスタ 200、400 のゲート絶縁層の膜厚は、低耐圧トランジスタ 300、500 のゲート絶縁層の膜厚よりも大きく形成されている。

前述したように、図 2 においては、抵抗素子 100 と、n MOS である高耐圧トランジスタ 200 および低耐圧トランジスタ 300 を抜粋して示している。

高耐圧トランジスタ 200 および低耐圧トランジスタ 300 は、ソース - ドレイン間耐圧が異なる絶縁ゲート型のトランジスタである。また、この半導体装置は図 1 に示すように、トリプルウエル構造を有する。具体的には、領域 HV において、p 型シリコン基板からなる半導体基板 10 内に n 型ウエル 51 が形成され、この n 型ウエル 51 内に p 型ウエル 11 が形成されている。さらに、図 1 に示すように、半導体基板 10 には n 型ウエル 41 と p 型ウエル 61 とが形成されている。

トランジスタ 200 はこのトリプルウエル構造内に形成されている。具体的には、図 1 に示すように、高耐圧トランジスタ 200 は、n 型ウエル 51 内に形成された p 型ウエル 11 内に形成されている。また、低耐圧トランジスタ 300 は p 型ウエル 61 内に形成されている。

高耐圧トランジスタ 200 は、図 1 および図 2 に示すように、ゲート絶縁層 14H およびゲート導電層 16H を含む。ゲート導電層 16H はゲート絶縁層

明細書

半導体装置の製造方法

技術分野

本発明は、抵抗不純物層を含む半導体装置およびその製造方法に関する。

背景技術

半導体層に形成される抵抗素子として、例えば抵抗不純物層がある。この抵抗不純物層は、例えばシリコン基板からなる半導体層に不純物を導入することにより形成される。この抵抗不純物層は例えば、素子分離領域によって電氣的に分離された領域（活性領域）に形成される。この場合、この抵抗不純物層が正常に動作するためには、前記素子分離領域によって、前記抵抗不純物層とその周辺領域との絶縁性が十分に確保されていることが重要である。

要約

本発明の目的は、抵抗不純物層を含む新規な半導体装置およびその製造方法を提供することにある。

1. 第1の半導体装置の製造方法

本発明の第1の半導体装置の製造方法は、

（a）半導体層上に、素子分離領域と、前記素子分離領域によって電氣的に分離された活性領域とを形成し、

（b）第1不純物導入領域を形成することにより、前記活性領域の少なくとも一部に抵抗不純物層を形成し、その際に、前記素子分離領域に第1不純物導入禁止領域を設けること、を含む。

本明細書において、第1不純物導入領域とは、第1不純物が導入される領域をいい、第1不純物導入禁止領域とは、前記第1不純物が導入されない領域をいう。

本発明の第 1 の半導体装置の製造方法によれば、前記素子分離領域の絶縁性を確保することができ、高品質の半導体装置を得ることができる。詳しくは、本発明の実施の形態の欄で述べる。

また、本発明の第 1 の半導体装置の製造方法は、以下の (1) ~ (3) の態様をとることができる。

(1) 前記 (b) において、

前記抵抗不純物層を複数形成し、

前記第 1 不純物導入禁止領域は少なくとも、隣り合う前記第 1 不純物導入領域を分離するように形成できる。これにより、隣り合う前記第 1 不純物導入領域の間には前記第 1 不純物が導入されないため、前記素子分離領域の特性を変化させることがなく、前記素子分離領域の形状を損なうことがない。このため、前記素子分離領域の絶縁性をより確実に確保することができる。

(2) さらに、(c) 前記抵抗不純物層に連続する領域に第 2 不純物導入領域を形成することにより、コンタクト不純物層を形成すること、を含むことができる。

この場合、前記 (c) において、前記第 2 不純物導入領域を形成する際、少なくとも前記素子分離領域に第 2 不純物導入禁止領域を設けることができる。これにより、前記素子分離領域の特性を変化させることがなく、前記素子分離領域の形状を損なうことがない。このため、前記素子分離領域の絶縁性をより確実に確保することができる。

なお、本明細書において、第 2 不純物導入領域とは、第 2 不純物が導入される領域をいい、第 2 不純物導入禁止領域とは、前記第 2 不純物が導入されない領域をいう。

また、この場合、前記 (c) において、前記コンタクト不純物層を複数形成し、

前記第 2 不純物導入禁止領域は少なくとも、隣り合う前記第 2 不純物導入領域を分離するように形成できる。これにより、隣り合う前記第 2 不純物導入領域の間には前記第 2 不純物が導入されないため、前記素子分離領域の形状を損なうことがない。このため、前記素子分離領域の絶縁性をさらに確実に確保することができる。

2. 第 2 の半導体装置の製造方法

本発明の第2の半導体装置の製造方法は、

(a) 半導体層上に、素子分離領域と、前記素子分離領域によって電気的に分離された活性領域とを形成し、

(b) 第1不純物導入領域を形成することにより、前記活性領域の少なくとも一部に抵抗不純物層を形成し、

(c) 前記抵抗不純物層に連続する領域に第2不純物導入領域を形成することにより、コンタクト不純物層を形成し、その際に、少なくとも前記素子分離領域に第2不純物導入禁止領域を設けることを、
を含む。

本発明の第2の半導体装置の製造方法によれば、前記素子分離領域の絶縁性を確保することができ、高品質の半導体装置を得ることができる。詳しくは、本発明の実施の形態の欄で述べる。

また、本発明の第2の半導体装置の製造方法は、さらに、前記(c)において、

前記コンタクト不純物層を複数形成し、前記第2不純物導入禁止領域は少なくとも、隣り合う前記第2不純物導入領域を分離するように形成できる。これにより、隣り合う前記第2不純物導入領域には前記第2不純物が導入されないため、前記素子分離領域の形状を損なうことがない。このため、前記素子分離領域の絶縁性をさらに確実に確保することができる。

3. 第3の半導体装置の製造方法

本発明の第3の半導体装置の製造方法は、

活性領域に形成された抵抗不純物層と、ソース・ドレイン間耐圧が異なる絶縁ゲート型の高耐圧トランジスタおよび低耐圧トランジスタとが同一の半導体層上に混在する半導体装置の製造方法であって、

(a) 前記半導体層上に、素子分離領域と、前記素子分離領域によって電気的に分離された活性領域とを形成し、

(b) 前記半導体層の上方に絶縁層を形成し、

(c) 前記抵抗不純物層の形成領域において、第1不純物導入領域を形成することにより、前記活性領域の少なくとも一部に抵抗不純物層を形成し、その際に、前記素子分離領域に第1不純物導入禁止領域を設け、

(d) 前記絶縁層を所定の形状にパターンングすることにより、前記高耐圧トランジスタの形成領域において、該高耐圧トランジスタのゲート絶縁層を形成し、前記低耐圧トランジスタおよび前記抵抗不純物層の形成領域において、前記絶縁層を除去し、

(e) 前記低耐圧トランジスタの形成領域において、該低耐圧トランジスタのゲート絶縁層を形成し、

(f) 前記第 1 および第 2 ゲート絶縁層上にそれぞれ、前記各トランジスタのゲート導電層を形成し、

(g) 第 2 不純物を導入することにより、前記各トランジスタのソース / ドレイン領域を形成すること、を含む。

本発明の第 3 の半導体装置の製造方法によれば、前記素子分離領域の絶縁性を確保することができ、高品質の半導体装置を得ることができる。詳しくは、本発明の実施の形態の欄で述べる。

また、本発明の第 3 の半導体装置の製造方法は、以下の (1) および (2) の態様をとることができる。

(1) 前記 (g) において、

前記第 2 不純物を導入することにより、前記各トランジスタのソース / ドレイン領域を形成するとともに、前記抵抗不純物層に連続する領域にコンタクト不純物層を形成すること、を含むことができる。これにより、前記各トランジスタのソース / ドレイン領域と、前記コンタクト不純物層とを同一の工程で形成することができるため、製造プロセスの効率化を図ることができる。

この場合、前記 (g) において、前記第 2 不純物を導入する際、前記抵抗不純物層の形成領域において、少なくとも前記活性領域に第 2 不純物導入領域を設け、少なくとも前記素子分離領域に第 2 不純物導入禁止領域を設けることができる。これにより、前記素子分離領域の特性を変化させることがなく、前記素子分離領域の形状を損なうことがない。このため、前記素子分離領域の絶縁性をより確実に確保することができる。

また、この場合、前記 (g) において、前記コンタクト不純物層を複数形成し、前記第 2 不純物導入禁止領域は少なくとも、隣り合う前記第 2 不純物導入領域を分離するように形成できる。これにより、隣り合う前記第 2 不純物導入領域の間には前記第 2 不純物が導入されないため、前記素子分離領域の形状を

損なうことがない。このため、前記素子分離領域の絶縁性をさらに確実に確保することができる。

(2) 前記 (c) において、前記抵抗不純物層を複数形成し、

前記第 1 不純物導入禁止領域は少なくとも、隣り合う前記第 1 不純物導入領域を分離するように形成できる。これにより、隣り合う前記第 1 不純物導入領域の間には前記第 1 不純物が導入されないため、前記素子分離領域の特性を変化させることがなく、前記素子分離領域の形状を損なうことがない。このため、前記素子分離領域の絶縁性をさらに確実に確保することができる。

4 . 第 4 の半導体装置の製造方法

本発明の第 4 の半導体装置の製造方法は、

活性領域に形成された抵抗不純物層と、ソース - ドレイン間耐圧が異なる絶縁ゲート型の高耐圧トランジスタおよび低耐圧トランジスタとが同一の半導体層上に混在する半導体装置の製造方法であって、

(a) 前記半導体層上に、素子分離領域と、前記素子分離領域によって電氣的に分離された活性領域とを形成し、

(b) 前記半導体層の上方に絶縁層を形成し、

(c) 第 1 不純物導入領域を形成することにより、前記活性領域の少なくとも一部に抵抗不純物層を形成し、

(d) 前記絶縁層を所定の形状にパターニングすることにより、前記高耐圧トランジスタの形成領域において、該高耐圧トランジスタのゲート絶縁層を形成し、前記低耐圧トランジスタおよび前記抵抗不純物層の形成領域において、前記絶縁層を除去し、

(e) 前記低耐圧トランジスタの形成領域において、該低耐圧トランジスタのゲート絶縁層を形成し、

(f) 前記第 1 および第 2 ゲート絶縁層上にそれぞれ、前記各トランジスタのゲート導電層を形成し、

(g) 前記第 2 不純物を導入することにより、前記各トランジスタのソース / ドレイン領域を形成するとともに、前記抵抗不純物層に連続する領域にコンタクト不純物層を形成し、その際に、少なくとも前記素子分離領域に第 2 不純物導入禁止領域を設けること、
を含む。

本発明の第４の半導体装置の製造方法によれば、前記素子分離領域の絶縁性を確保することができ、高品質の半導体装置を得ることができる。また、前記（ｇ）において、前記各トランジスタのソース／ドレイン領域と、前記コンタクト不純物層とを同一の工程で形成することができるため、製造プロセスの効率化を図ることができる。詳しくは、本発明の実施の形態の欄で述べる。

また、本発明の第４の半導体装置の製造方法は、以下の態様をとることができる。

前記（ｇ）において、

前記第２不純物を導入する際、前記抵抗不純物層の形成領域において、少なくとも前記活性領域に第２不純物導入領域を設け、少なくとも前記素子分離領域に第２不純物導入禁止領域を設けることができる。これにより、前記素子分離領域の特性を変化させることがなく、前記素子分離領域の形状を損なうことがない。

このため、前記素子分離領域の絶縁性をより確実に確保することができる。

この場合、前記（ｇ）において、前記コンタクト不純物層を複数形成し、前記第２不純物導入禁止領域は少なくとも、隣り合う前記第２不純物導入領域を分離するように形成できる。これにより、隣り合う前記第２不純物導入領域の間には前記第２不純物が導入されないため、前記素子分離領域の形状を損なうことがない。このため、前記素子分離領域の絶縁性をさらに確実に確保することができる。

また、前述した本発明の第１～４の半導体装置の製造方法において、前記素子分離領域は、セシリセスLOCOSであることができる。この場合、通常のLOCOS酸化によって形成される素子分離領域よりも膜厚が小さいため、前述した本発明の製造方法によって、前記素子分離領域の絶縁性を確保することにより得られる効果大きい。

５．半導体装置

本発明の半導体装置は、

半導体層と、

前記半導体層上に形成され、ソース－ドレイン間耐圧が異なる絶縁ゲート型の高耐圧トランジスタおよび低耐圧トランジスタと、

前記半導体層上に形成された抵抗不純物層と、

を含む。

前述した本発明の半導体装置の製造方法によれば、上記構成を有する半導体装置を製造できる。

この場合、前記半導体層には、素子分離領域と、該素子分離領域によって電氣的に分離された活性領域とが形成され、

前記抵抗不純物層は、前記活性領域に形成できる。

また、この場合、前記素子分離領域は、セミリセスLOCOSであることができる。この構成によれば、前記素子分離領域は、通常のLOCOS酸化によって形成される素子分離領域よりも膜厚が小さいため、前記素子分離領域の絶縁性を確保することにより得られる効果が大きい。

図面の簡単な説明

【図 1】 本発明を適用した一実施の形態に係る半導体装置を模式的に示す断面図である。

【図 2】 図 1 に示す半導体装置のうち、高耐圧トランジスタ、低耐圧トランジスタおよび抵抗素子を模式的に示す断面図である。

【図 3】 図 1 および図 2 に示す抵抗素子を模式的に示す平面図である。

【図 4】 図 3 に示す抵抗素子の B - B 線に沿った断面を模式的に示す図である。

【図 5】 図 3 に示す抵抗素子の C - C 線に沿った断面を模式的に示す図である。

【図 6】 図 1 および図 2 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 7】 図 1 および図 2 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 8】 図 7 に示す工程における抵抗不純物層の形成領域を模式的に示す平面図である。

【図 9】 図 1 および図 2 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 10】 図 1 および図 2 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 1 1】 図 1 および図 2 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 1 2】 図 1 および図 2 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 1 3】 図 1 および図 2 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 1 4】 図 1 および図 2 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 1 5】 図 1 および図 2 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 1 6】 図 1 および図 2 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 1 7】 図 1 および図 2 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 1 8】 図 1 および図 2 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 1 9】 図 1 および図 2 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 2 0】 図 1 および図 2 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 2 1】 図 2 0 に示す工程における抵抗不純物層の形成領域を模式的に示す平面図である。

【図 2 2】 図 2 1 に示す抵抗不純物層の形成領域の B - B 線に沿った断面を模式的に示す図である。

【図 2 3】 図 1 および図 2 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 2 4】 図 2 3 に示す工程における抵抗不純物層の形成領域を模式的に示す平面図である。

【図 2 5】 図 2 4 に示す抵抗不純物層の形成領域の B - B 線に沿った断面を模式的に示す図である。

【図 2 6】 本実施の形態の一変形例を模式的に示す平面図である。

【図 2 7】 本実施の形態の別の一変形例を模式的に示す平面図である。

【図 2 8】 比較例である一般的な半導体装置の製造工程を模式的に示す平面図である。

【図 2 9】 比較例である一般的な半導体装置の製造工程を模式的に示す断面図である。

【図 3 0】 比較例である一般的な半導体装置の製造工程を模式的に示す断面図である。

【図 3 1】 比較例である一般的な半導体装置の製造工程を模式的に示す断面図である。

【図 3 2】 比較例である一般的な半導体装置の製造工程を模式的に示す断面図である。

【図 3 3】 比較例である一般的な半導体装置の製造工程を模式的に示す平面図である。

【図 3 4】 比較例である一般的な半導体装置の製造工程を模式的に示す断面図である。

詳細な説明

以下、本発明の好適な実施の形態について、図面を参照しながら説明する。

1. 半導体装置の構造

図 1 は、本発明を適用した第 1 の実施の形態に係る半導体装置を模式的に示す断面図である。図 2 は、図 1 に示す抵抗素子 100、高耐圧トランジスタ 200 および低耐圧トランジスタ 300 の部分を抜粋した断面図である。すなわち、図 2 に示す抵抗素子 100 およびトランジスタ 200、300 は、図 1 に示す半導体装置の一部を抜き出して示したものである。図 3 は、図 1 および図 2 に示す抵抗不純物層 24 を模式的に示す平面図である。図 4 は、図 3 に示す抵抗素子 100 の B - B 線に沿った断面であり、図 5 は、図 3 に示す抵抗素子 100 の C - C 線に沿った断面である。なお、図 2 に示す抵抗素子 100 の断面は、図 3 の A - A 線に沿った断面である。

本実施の形態の半導体装置は、図 1 に示すように、抵抗素子 100 と nMOS トランジスタ（高耐圧および低耐圧トランジスタ）200、300 とを含む。この抵抗素子 100 および nMOS トランジスタ 200、300 は同一の半導

体層上に混在している。なお、本実施の形態の半導体装置においては、前記半導体層として、p型シリコン基板からなる半導体基板10を用いた場合について説明する。また、nMOSトランジスタ200, 300のゲート導電層20H, 20Lは、ドーフトポリシリコン層からなるが、このような構造も通常、MOS構造と呼ばれている。

(A) 抵抗素子

抵抗素子100は図1～図3に示すように、抵抗不純物層24を含む。この抵抗不純物層24は、半導体基板10に形成されている。図1～図3に示す半導体装置では、抵抗不純物層24が複数形成されている場合を示す。この場合、隣り合う抵抗不純物層24は、素子分離領域12によって電氣的に分離されている。

本実施の形態においては、素子分離領域12がセミリセスLOCOS酸化によって形成された場合を示す。また、この抵抗不純物層24の抵抗値は、導入される不純物の種類および量を適宜調整することにより所望の値に設定することができる。なお、本実施の形態では、抵抗不純物層24にn型不純物が導入されている場合について説明するが、抵抗不純物層24に導入される不純物の導電型はこれに限定されるわけではない。

また、抵抗素子100には図3～図5に示すように、コンタクト不純物層26が形成されている。また、コンタクト不純物層26は抵抗不純物層24と連続しており、かつ、コンタクト不純物層26の上にはコンタクト30が設置されている。コンタクト不純物層26は、コンタクト30との良好な電氣的接続を得るため、抵抗不純物層24よりも不純物濃度が高く形成されている。コンタクト30は、図4に示すように、絶縁層70に形成されたコンタクトホール32に導電層34が埋め込まれて形成されている。このコンタクト30の上には配線層36が形成されている。すなわち、コンタクト不純物層26はコンタクト30を介して配線層36と電氣的に接続されている。また、コンタクト30においてより良好な電氣的接続を得るため、コンタクト不純物層26の上にはシリサイド層26Sを形成することにより、コンタクト不純物層26の低抵抗化を図ることができる。

(B) 高耐圧トランジスタおよび低耐圧トランジスタ

本実施の形態の半導体装置では、図 1 および図 2 に示すように、抵抗素子 100 とともに、高耐圧トランジスタ 200、400 および低耐圧トランジスタ 300、500 が同一の半導体基板 10 上に混在している。

図 1 において、領域 HV は、高耐圧トランジスタ 200、400 が形成されている領域を示し、領域 LV は、低耐圧トランジスタ 300、500 が形成されている領域を示す。また、領域 HVn は、高耐圧 N チャネル MOS (n MOS) トランジスタ 200 の形成領域を示し、領域 LVn は、低耐圧 N チャネル MOS (n MOS) トランジスタ 300 の形成領域を示す。同様に、領域 HVp は、高耐圧 P チャネル MOS (p MOS) トランジスタ 400 の形成領域を示し、領域 LVp は、低耐圧 P チャネル MOS (n MOS) トランジスタ 500 の形成領域を示す。各トランジスタは、素子分離領域 12 によって分離されている。本実施の形態では、素子分離領域 12 がセシリセス LOCOS からなる場合を示す。

また、この半導体装置においては、図 1 に示すように、高耐圧トランジスタ 200、400 のゲート絶縁層の膜厚は、低耐圧トランジスタ 300、500 のゲート絶縁層の膜厚よりも大きく形成されている。

前述したように、図 2 においては、抵抗素子 100 と、n MOS である高耐圧トランジスタ 200 および低耐圧トランジスタ 300 を抜粋して示している。

高耐圧トランジスタ 200 および低耐圧トランジスタ 300 は、ソース - ドレイン間耐圧が異なる絶縁ゲート型のトランジスタである。また、この半導体装置は図 1 に示すように、トリプルウエル構造を有する。具体的には、領域 HV において、p 型シリコン基板からなる半導体基板 10 内に n 型ウエル 51 が形成され、この n 型ウエル 51 内に p 型ウエル 11 が形成されている。さらに、図 1 に示すように、半導体基板 10 には n 型ウエル 41 と p 型ウエル 61 とが形成されている。

トランジスタ 200 はこのトリプルウエル構造内に形成されている。具体的には、図 1 に示すように、高耐圧トランジスタ 200 は、n 型ウエル 51 内に形成された p 型ウエル 11 内に形成されている。また、低耐圧トランジスタ 300 は p 型ウエル 61 内に形成されている。

高耐圧トランジスタ 200 は、図 1 および図 2 に示すように、ゲート絶縁層 14H およびゲート導電層 16H を含む。ゲート導電層 16H はゲート絶縁層

14Hの上方に形成されている。また、ゲート導電層16Hの上にはシリサイド層20SHを形成することができる。

高耐圧トランジスタ200はさらに、n型のソース/ドレイン領域17, 19を含む。このソース/ドレイン領域17, 19は、ゲート導電層16Hを挟むように形成されている。このソース/ドレイン領域17, 19はそれぞれオフセット領域37, 39内に形成されている。また、このソース/ドレイン領域17, 19上にはそれぞれ、シリサイド層17S, 19Sを形成することができる。

また、低耐圧トランジスタ300は、図1および図2に示すように、ゲート絶縁層28Lおよびゲート導電層16Lを含む。ゲート導電層16Lはゲート絶縁層28Lの上に形成されている。また、ゲート導電層16Lの上にはシリサイド層20SLを形成することができる。

低耐圧トランジスタ300はさらに、n型のソース/ドレイン領域47, 49を含む。このソース/ドレイン領域47, 49は、ゲート導電層16Lを挟むように形成されている。このソース/ドレイン領域47, 49はそれぞれオフセット領域27, 29内に形成されている。また、このソース/ドレイン領域27, 29上にはそれぞれ、シリサイド層47S, 49Sを形成することができる。

ゲート絶縁層14H, 28Lは、例えば酸化シリコン層からなり、ゲート導電層16H, 16Lはドーフトポリシリコン層からなる。

2. 半導体装置の製造方法

次に、本実施の形態に係る半導体装置の製造方法について、図1～図25を参照して説明する。なお、図6, 図7, 図9～図20, 図22および図23の断面図は、図2に示す半導体装置の断面図に対応する。本実施の形態においては、図1に示す半導体装置のうち、抵抗素子100, 高耐圧nMOSトランジスタ200および低耐圧nMOSトランジスタ300部分の製造方法について主に説明し、他の領域については、原則として説明を省略する。以下、抵抗素子100が形成される領域を「抵抗素子の形成領域100a」とし、高耐圧トランジスタ(HVn)200が形成される領域を「MOSトランジスタの形成領域200a」とし、低耐圧トランジスタ(LVn)300が形成される領域を「MOSトランジスタの形成領域300a」とする。

(A) まず、半導体基板 1 0 の表面に、素子分離領域 1 2 が形成される (図 1 および図 6 参照) 。 具体的には、セミリセス L O C O S 法によって素子分離領域 1 2 が形成される。

(B) 次いで、高耐圧トランジスタ 2 0 0 のためのウエルが形成される (図 1 および図 6 参照) 。

具体的には、一般的なフォトリソグラフィ法によって形成したレジストマスク (図示せず) を用いて、所定の領域に不純物を導入することにより、領域 H V に、n 型のウエル (n ウエル) 5 1 が形成される。さらに、n ウエル 5 1 のうち領域 H V n に、p 型のウエル (p ウエル) 1 1 が形成される (図 1 参照) 。 この n ウエル 5 1 には高耐圧 p M O S トランジスタ 4 0 0 が形成され、p ウエル 1 1 には高耐圧 n M O S トランジスタ 2 0 0 が形成される。

(C) 次いで、高耐圧トランジスタ 2 0 0 のソース / ドレインのオフセット領域 3 7 , 3 9 が形成される (図 1 , 図 2 および図 6 参照) 。

具体的には、高耐圧トランジスタの形成領域 2 0 0 a 内に n 型不純物を導入することにより、ソース / ドレインのオフセット領域 3 7 , 3 9 が形成される。

(D) 次いで、高耐圧トランジスタ 2 0 0 のゲート絶縁層 1 4 H (図 1 および図 2 参照) を形成するための絶縁層 (第 1 絶縁層 1 4) が、半導体基板 1 0 上に形成される (図 7 参照) 。

具体的には、熱酸化によって半導体基板 1 0 の表面を酸化して、半導体基板 1 0 の表面全体に、酸化シリコンからなる第 1 絶縁層 1 4 が形成される。

(E) 次いで、抵抗素子の形成領域 1 0 0 a に、抵抗不純物層 2 4 を形成するための不純物 (第 1 不純物) が活性領域 1 5 に導入される (図 7 参照) 。 すなわち、前記第 1 不純物は、抵抗素子 1 0 0 を構成する抵抗不純物層 2 4 を形成するために導入される不純物である。図 7 は、抵抗素子 1 0 0 の抵抗不純物層 2 4 を形成するために、活性領域 1 5 に前記第 1 不純物を導入する工程を示す概略断面図である。

具体的には、図 7 に示すように、レジスト層 R 1 が、半導体基板 1 0 の上方に形成される。本実施の形態において、このレジスト層 R 1 のパターンは、高耐圧トランジスタの形成領域 2 0 0 a および低耐圧トランジスタの形成領域 3 0 0 a を覆い、かつ、抵抗素子の形成領域 1 0 0 a に開口部を有する。前記開口部は、抵抗素子の形成領域 1 0 0 a において、第 1 絶縁層 1 4 の下で半導体

基板 10 の表面が露出している部分に形成される。すなわち、前記開口部は、抵抗素子の形成領域 100a において素子分離領域 12 の上には形成されず、素子分離領域 12 の表面はレジスト層 R1 で覆われている。

次いで、このレジスト層 R1 をマスクとして、前記第 1 不純物がイオン注入によって導入される。本実施の形態においては、前記第 1 不純物として n 型不純物層を導入する場合について説明するが、前記第 1 不純物の導電型や種類は特に限定されない。図 7 において、抵抗素子の形成領域 100a 中「x」で示す部分に不純物が導入される。これにより、素子分離領域 12 によって分離された活性領域 15 に、抵抗不純物層 24 が形成される（図 9 参照）。

また、この工程における抵抗素子の形成領域 100a の平面図を図 8 に示す。図 8 において、点線で囲んだ領域内が第 1 不純物導入領域（前記第 1 不純物が導入される領域）24a である。すなわち、図 8 に示すように、前記第 1 不純物は、抵抗素子の形成領域 100a のうち活性領域 15 に導入される。一方、図 8 において、前記第 1 不純物が導入されない領域（第 1 不純物導入禁止領域）25 を斜線で示す。

第 1 不純物導入禁止領域 25 は素子分離領域 12 に形成される。また、この第 1 不純物導入禁止領域 25 は少なくとも、隣り合う第 1 不純物導入領域 24a を分離するように形成される。具体的には、図 8 において、素子分離領域 12 には前記第 1 不純物が導入されない。これにより、素子分離領域 12 の特性が変化することを防止することができ、素子分離領域 12 の絶縁性を高めることができる。

なお、前記第 1 不純物を導入後、レジスト層 R1 は除去される。

(F) 次いで、高耐圧トランジスタ 200 のチャネル領域 13 が形成される（図 9 および図 10 参照）。具体的には、高耐圧トランジスタ 200 の閾値電圧を調整するために、不純物がチャネル領域に導入される。図 9 および図 10 は、高耐圧トランジスタ 200 のチャネル領域 13 を形成する工程を示す概略断面図である。

まず、第 1 絶縁層 14 上にレジスト層 R2 が形成される。レジスト層 R2 は、高耐圧トランジスタの形成領域 200a に開口部を有し、かつ、抵抗素子および低耐圧トランジスタ 100a、300a の形成領域を覆っている。そして、このレジスト層 R2 の開口部を介して、n 型不純物が半導体基板 10 内にイオ

ン注入によって導入される。図 9 において、高耐圧トランジスタの形成領域 200a 中「x」で示す部分に不純物が導入される。これにより、高耐圧トランジスタ 200 のチャネル領域 13 が形成される (図 10 参照)。前記不純物を導入後、レジスト層 R2 は除去される。

(G) 次いで、高耐圧トランジスタ 200 のゲート絶縁層 14H が形成される (図 11 および図 12 参照)。図 11 および図 12 は、高耐圧トランジスタ 200 のゲート絶縁層 14H を形成する工程を示す概略断面図である。

具体的には、図 11 に示すように、レジスト層 R3 が、第 1 絶縁層 14 上に形成される。本実施の形態において、このレジスト層 R3 のパターンは、高耐圧トランジスタの形成領域 200a において、第 1 絶縁層 14 のうち高耐圧トランジスタ 200 のゲート絶縁層 14H として利用する領域を覆い、かつ、抵抗素子の形成領域 100a および低耐圧トランジスタの形成領域 300a に開口部を有する。次いで、このレジスト層 R3 をマスクとして、第 1 絶縁層 14 がエッチングされて、ゲート絶縁層 14H が形成される。前記エッチングは、エッチャントとして例えばフッ酸を用いたウエットエッチングを採用することができる。ここで、抵抗素子の形成領域 100a および低耐圧トランジスタの形成領域 300a に形成されていた第 1 絶縁層 14 は除去される。なお、最終的なゲート絶縁層 14H の膜厚は、後述する処理を経てさらに大きくなる。

(H) 次いで、低耐圧トランジスタ 300 のためのウエル 61 が形成される (図 1 および図 12 参照)。

具体的には、一般的なフォトリソグラフィ法によって形成したレジストマスク (図示せず) を用いて、所定の領域に不純物を導入することにより、領域 LVp に、低耐圧 pMOS トランジスタ 500 を形成するための n 型のウエル (n ウエル) 41 が形成され、領域 LVn に、低耐圧 nMOS トランジスタ 300 を形成するための p 型のウエル (p ウエル) 61 が形成される (図 1 参照)。なお、この工程において、抵抗素子 100 を形成する領域にも同時に p 型のウエルが形成される。

次いで、熱酸化により第 2 絶縁層 28 が形成される (図 14 ~ 図 16 参照)。この第 2 絶縁層 28 は、低耐圧トランジスタ 300 のゲート絶縁層 28L (図 2 参照) として利用される。具体的には、後述する (L) の工程で第 2 絶縁層 28 がエッチングされて、ゲート絶縁層 28L が形成される。

(I) 次いで、トランジスタ 200 , 300 のゲート導電層 16 H , 16 L が形成される (図 14 ~ 図 16 参照) 。図 14 , 図 15 および図 16 は、高耐圧トランジスタ 200 のゲート導電層 16 H と、低耐圧トランジスタ 300 のゲート導電層 16 L とを形成する工程を示す概略断面図である。

具体的には、まず、図 14 に示すように、半導体基板 10 の表面全体に、ポリシリコン層 16 が堆積される。次に、レジスト層 R 4 が形成される。レジスト層 R 4 は、ポリシリコン層 16 のうち高耐圧および低耐圧トランジスタ 200 , 300 のゲート導電層 16 H , 16 L として利用される領域に開口部を有している。レジスト層 R 4 の開口部を介して、ポリシリコン層 16 内に n 型不純物がイオン注入によって導入される。このレジスト層 R 4 は不純物導入後、除去される。

次いで、熱処理が施されることにより、導入された不純物がポリシリコン層 16 内で拡散し、図 15 に示すように、少なくとも高耐圧および低耐圧トランジスタ 200 , 300 のゲート導電層 16 H , 16 L が形成される領域に、ドープトポリシリコン層 16 a が形成される。

次いで、各トランジスタ 200 , 300 のゲート導電層 16 H , 16 L となる部分を保護するために、レジスト層 R 5 が形成される (図 16 参照) 。そして、このレジスト層 R 5 の開口部に露出する不要なポリシリコン層 16 がエッチングによって除去される。これにより、図 16 に示すように、高耐圧トランジスタ 200 のゲート導電層 16 H と、低耐圧トランジスタ 300 のゲート導電層 16 L とが形成される。その後、このレジスト層 R 5 は除去される。

(J) 次いで、低耐圧トランジスタ 300 のソース / ドレインオフセット領域 27 , 29 を形成する (図 17 参照) 。図 17 は、低耐圧トランジスタ 300 のソース / ドレインオフセット領域 27 , 29 を形成する工程を示す概略断面図である。

具体的には、半導体基板 10 の上方にレジスト層 R 6 が形成される。レジスト層 R 6 は、低耐圧トランジスタの形成領域 300 a に開口部を有している。そして、このレジスト層 R 6 の開口部を介して、n 型不純物が、半導体基板 10 内にイオン注入によって導入される。これにより、図 17 に示すように、低耐圧トランジスタ 300 のソース / ドレインのオフセット領域 37 , 39 が形成される。

前記不純物を導入後、レジスト層R 6は除去される。

(K) 次いで、トランジスタ200, 300のサイドウォール絶縁層18H, 18Lが形成される(図18および図19参照)。図18および図19は、トランジスタ200, 300のサイドウォール絶縁層18H, 18Lを形成する工程を示す概略断面図である。

具体的には、図18に示すように、半導体基板10の上方全体に、第3絶縁層18が形成された後、例えば反応性イオンエッチング(R I E) などの異方性エッチングによって、第3絶縁層18がエッチングされる。これにより、図19に示すように、ゲート導電層16Hの両側面にサイドウォール絶縁層18Hが形成され、ゲート導電層16Lの両側面にサイドウォール絶縁層18Lが形成される。

なお、後述する工程において、サイドウォール絶縁層18Lは、ソース/ドレイン領域47, 49を形成するためのマスクとして機能する。

(L) 次いで、高耐圧および低耐圧トランジスタの形成領域200a, 300aにおいて、トランジスタ200, 300のソース/ドレイン領域17, 19, 47, 49が形成され、抵抗素子の形成領域100aにおいて、抵抗導電層24と連続するコンタクト不純物層26が形成される(図20～図25参照)。図20および図23は、トランジスタ200, 300のソース/ドレイン領域17, 19, 47, 49およびコンタクト不純物層26を形成する工程を示す概略断面図である。図21は、図20に示す工程における抵抗素子の形成領域100aを示す平面図である。すなわち、図20の抵抗素子の形成領域100aの断面は、図21のA - A線に沿った断面を模式的に示す図である。図22は、図21のB - B線に沿った断面を模式的に示す図である。

まず、半導体基板10の上方にレジスト層R 7が形成される。レジスト層R 7は、高耐圧トランジスタの形成領域200aおよび低耐圧トランジスタの形成領域300aに開口部を有している。図22に示すように、レジスト層R 7は、抵抗素子の形成領域100aのうち少なくともコンタクト30(図3～図5参照) が形成される領域に開口部を有する。

具体的には図20～図22に示すように、このレジスト層R 7の開口部を介して、n型不純物(第2不純物) が、半導体基板10内にイオン注入によって導入される。すなわち、前記第2不純物は、トランジスタ200, 300のソ

ース / ドレイン領域と、抵抗素子 100 のコンタクト不純物層 26 を形成するために導入される不純物である。図 20 において、高耐圧トランジスタの形成領域 200 a および低耐圧トランジスタの形成領域 300 a 中「x」で示す部分に不純物が導入され、図 22 において、抵抗素子の形成領域 100 a 中「x」で示す部分に不純物が導入される。また、図 21 において、点線で囲んだ領域内が、前記第 2 不純物が導入される領域 (第 2 不純物導入領域) 26 a であり、斜線で示した領域が、前記第 2 不純物が導入されない領域 125 (第 2 不純物導入禁止領域) である。

第 2 不純物導入禁止領域 125 は少なくとも素子分離領域 12 に形成される。本実施の形態においては、第 2 不純物導入禁止領域 125 は、図 21 に示すように、素子分離領域 12 のみならず、活性領域 15 を含む領域に形成される。前記第 2 不純物を導入後、レジスト層 R7 は除去される。

なお、第 2 絶縁層 28 は、サイドウォール 18 H , 18 L の加工時 (前記工程 (K) 参照) に半導体基板 10 上に残しておく、前記第 2 不純物を導入する際に、半導体基板 10 の表面を保護する機能を有する。

また、図 22 に示すように、高耐圧トランジスタの形成領域 200 a のソース / ドレイン領域 17 , 19 は、ゲート絶縁層 14 H がマスクとして機能し、自己整合的に形成される。また、図 23 に示すように、低耐圧トランジスタの形成領域 300 a のソース / ドレイン領域 47 , 49 は、サイドウォール絶縁層 18 L がマスクとして機能し、自己整合的に形成される。

本実施の形態においては、図 21 に示すように、第 2 不純物導入領域 26 a が隣り合う抵抗不純物層 24 に連続して形成されている場合を示したが、あるいは、図 26 に示すように、隣り合う第 2 不純物導入領域 126 a が分離するように、前記第 2 不純物を導入することもできる。これにより、前記第 2 不純物が素子分離領域 12 へ導入されないため、該第 2 不純物の導入によって素子分離領域 12 の特性が変化することを防止することができ、素子分離領域 12 の絶縁性を確保することができる。図 26 は、本実施の形態の半導体装置の製造方法の一変形例を示す平面図である。図 26 において、第 2 不純物導入領域 126 a を点線で示し、第 2 不純物導入禁止領域 225 を斜線で示す。図 26 に示す変形例においては、第 2 不純物禁止領域 225 は、隣り合う第 2 不純物導入領域 126 a を分離するように設けられる。この第 2 不純物禁止領域 225

は、素子分離領域 1 2 および活性領域 1 5 のうち、第 2 不純物導入領域 1 2 6 a を除く領域に形成される。

次いで、この半導体基板 1 0 に対して熱処理が施される。これにより、前述した工程にて導入された前記第 2 不純物が拡散する。その結果、図 2 3 に示すように、高耐圧トランジスタの形成領域 2 0 0 a のオフセット領域 3 7 , 3 9 内にソース / ドレイン領域 1 7 , 1 9 がそれぞれ形成され、低耐圧トランジスタの形成領域 3 0 0 a のオフセット領域 4 7 , 4 9 内にソース / ドレイン領域 2 7 , 2 9 がそれぞれ形成される。また、図 2 4 および図 2 5 に示すように、抵抗不純物層 2 4 に連続するコンタクト不純物層 2 6 が形成される。上記工程を経て形成されるコンタクト不純物層 2 6 は、抵抗不純物層 2 4 よりも不純物濃度が高く形成される。図 2 4 は、図 2 3 に示す工程における抵抗素子の形成領域 1 0 0 a を示す平面図である。すなわち、図 2 3 の抵抗素子の形成領域 1 0 0 a の断面は、図 2 4 の A - A 線に沿った断面を模式的に示す図である。図 2 5 は、図 2 4 の B - B 線に沿った断面を模式的に示す図である。

次いで、抵抗素子の形成領域 1 0 0 a のうち抵抗不純物層 2 4 上にレジスト層 (図示せず) が形成される。このレジスト層をマスクとして、露出している第 2 絶縁層 2 8 が除去される。これにより、低抵抗トランジスタ 3 0 0 のゲート絶縁層 2 8 L が形成される。また、ソース / ドレイン領域 1 7 , 1 9 , 4 7 , 4 9 上に形成されていた第 2 絶縁層 2 8 が除去される。一方、抵抗素子の形成領域 1 0 0 a では、コンタクト抵抗層 2 6 の上に形成されていた第 2 絶縁層 2 8 が除去される。一方、抵抗不純物層 2 4 を前記レジスト層で保護することにより、抵抗不純物層 2 4 上に第 2 絶縁層 2 8 を残存させる。その後、前記レジスト層は除去される。

(M) 次いで、高耐圧および低耐圧トランジスタの形成領域 2 0 0 a , 3 0 0 a において、ソース / ドレイン領域およびゲート導電層の表面にシリサイド層が形成され、抵抗素子の形成領域 1 0 0 a において、コンタクト不純物層 2 6 の表面にシリサイド層が形成される (図 1 ~ 図 5 参照) 。

具体的には、公知のシリサイド化工程により、ソース / ドレイン領域 1 7 , 1 9 , 4 7 , 4 9 の表面にそれぞれシリサイド層 1 7 S , 1 9 S , 4 7 S , 4 9 S を形成し、ゲート導電層 1 6 H , 1 6 L の表面にそれぞれシリサイド層 2 0 S H , 2 0 S L を形成し、コンタクト不純物層 2 6 の表面にシリサイド層 2

6 Sをそれぞれ形成する。次いで、熱処理が施され、前記シリサイド層の低抵抗化が図られる。次いで、絶縁層70を形成した後、ソース/ドレイン領域17, 19, 47, 49に接続されるコンタクト(図示せず)、ならびにコンタクト不純物層26に接続されるコンタクト30(図3参照)を形成する。以上の工程を経て、抵抗素子100、高耐圧トランジスタ200および低耐圧トランジスタ300が形成される(図1~図5参照)。

(作用効果)

本実施の形態に係る半導体装置およびその製造方法によれば、次の作用効果を奏することができる。

(1) 第1に、前記(E)の工程において、活性領域15に前記第1不純物を導入して抵抗不純物層24を形成する際に、素子分離領域12に第1不純物導入禁止領域24が設けることにより、素子分離領域12の絶縁性を確保することができる。この作用効果を具体的に説明するために、以下に、まず比較例として、一般的な半導体装置の製造方法について説明する。図28~図34は、比較例である一般的な半導体装置の製造工程を模式的に示す図である。なお、図29の抵抗素子の形成領域100aは、図28のA-A線に沿った断面に相当し、図30~図32および図34は、図28のC-C線に沿った断面に相当する。

(a) 一般的な半導体装置の製造方法

図28~図34に示す比較例では、本実施の形態の半導体装置の製造方法と異なる製造工程について主に説明する。すなわち、比較例である一般的な半導体装置の製造方法は、途中の工程(前記(A)~(D)の工程)までは、前述した本実施の形態の半導体装置の製造方法と同様の方法によって形成される。

次いで、比較例では、前記(E)の工程において、抵抗素子の形成領域100aにおいて、抵抗不純物層24を形成するための不純物(第1不純物)を活性領域15に導入する際に、抵抗素子の形成領域100a全体に前記第1不純物を導入する(図28~図31参照)。これにより、図31に示すように、活性領域15には抵抗不純物層124が形成され、素子分離領域12の上部12aには前記第1不純物が導入される。

図29に示す抵抗素子の形成領域100aの平面形状を模式的に示したのが図28である。また、図28において点線で示した範囲内が、第1不純物導入

領域（前記第 1 不純物が導入された領域）1 2 4 a である。さらに、図 2 9 および図 3 0 において、抵抗素子の形成領域 1 0 0 a 中「×」で示す部分が、前記第 1 不純物が導入された領域である。

図 2 8 ～ 図 3 0 に示すように、比較例では、抵抗素子の形成領域 1 0 0 a 全体（活性領域 1 5 および素子分離領域 1 2 の全体）に前記第 1 不純物が導入される結果、図 3 1 に示すように、活性領域 1 5 に前記第 1 不純物が導入されるとともに、素子分離領域 1 2 の上部 1 2 a にも前記第 1 不純物が導入される。

次いで、前記（F）の工程と同様の工程を経て、前記（G）の工程を行なう。すなわち、この工程では、エッチングにより、高耐圧トランジスタ 2 0 0 のゲート絶縁層 1 4 H を形成するとともに、抵抗素子の形成領域 1 0 0 a および低耐圧トランジスタの形成領域 3 0 0 a において、第 1 絶縁層 1 4 を除去する。この場合、前述した図 2 8 ～ 図 3 1 に示す工程において、素子分離領域 1 2 には前記第 1 不純物が導入され、素子分離領域 1 2 の上部 1 2 a の特性が変化している。このため、素子分離領域 1 2 のうち前記第 1 不純物が導入された領域は、前記第 1 不純物が導入されていない領域と比較して、第 1 絶縁層 1 4 をエッチングする際に用いるエッチャントに対するエッチングレートが変化している。これにより、当該エッチングの際に、素子分離領域 1 2 のうち前記第 1 不純物が導入されてエッチングレートが変化した領域 1 2 a が除去されてしまい、素子分離領域 1 2 の膜厚が小さくなる場合がある。図 3 2 において、素子分離領域 1 2 のうち、当該エッチングによって除去された領域を 1 2 b で示す。

次いで、前記（H）～（K）の工程を経た後、前記（L）の工程にて、抵抗素子の形成領域 1 0 0 a に、コンタクト不純物層 2 6 のための第 2 不純物が導入される。前記第 2 不純物の導入範囲は図 3 3 に示すように、前述した本実施の形態と同様である。この場合、前述したエッチング工程によって、素子分離領域 1 2 の膜厚が小さくなっているため（図 3 2 参照）、素子分離領域 1 2 を通過して半導体基板 1 0 に前記第 2 不純物が導入されてしまい、隣り合うコンタクト不純物層 2 6 が導通するという問題が生じる場合があった。

（b）本実施の形態の半導体装置の製造方法

これに対し、本実施の形態の半導体装置の製造方法によれば、前記（E）の工程で、抵抗素子の形成領域 1 0 0 a において、活性領域 1 5 に前記第 1 不純物を導入して抵抗不純物層 2 4 を形成する際に、素子分離領域 1 2 に第 1 不純

物導入禁止領域 25 を設ける。これにより、素子分離領域 12 には前記第 1 不純物が導入されないため、前記第 1 不純物が素子分離領域 12 へと導入されることによって素子分離領域 12 の特性が変化するのを防止することができる。これにより、前記 (G) のエッチング工程で、素子分離領域 12 が除去されるのを防止することができるため、素子分離領域 12 の絶縁性を確保することができ、高品質の半導体装置を得ることができる。具体的には、素子分離領域 12 のうち隣り合うコンタクト不純物層 26 を分離する領域の絶縁性を確保することができ、隣り合う抵抗不純物層 24 を確実に絶縁することができる。

また、本実施の形態においては、素子分離領域 12 がセミリセス LOCOS からなる。このセミリセス LOCOS は、半導体基板 10 をリセスしてからフィールド酸化を行なうことにより形成される。したがって、セミリセス LOCOS からなる素子分離領域 12 の膜厚は、通常の LOCOS 酸化により得られる素子分離領域の膜厚よりも小さい。このため、本実施の形態の半導体装置の製造方法によって、素子分離領域 12 の絶縁性を確保することによって得られる効果が大きい。

さらに、本実施の形態の半導体装置の製造方法においては、前記 (G) の工程で、エッチングにより、高耐圧トランジスタ 200 のゲート絶縁層 14H を形成し、低耐圧トランジスタおよび抵抗素子の形成領域 100a, 300a において第 1 絶縁層 14 を除去する。第 1 絶縁層 14 は高耐圧トランジスタ 200 のゲート絶縁層 14H を形成するのに利用されるため、高耐圧を確保するために膜厚が大きく形成されている。このため、第 1 絶縁層 14 をエッチングする際の条件が比較的厳しいものとなる。したがって、前述した比較例のように、素子分離領域 12 に前記第 1 不純物が導入された場合、第 1 絶縁層 14 をエッチングする際に、素子分離領域 12 のうち前記第 1 不純物が導入された領域が除去されやすい。

これに対し、本実施の形態の製造方法によれば、素子分離領域 12 のうち、少なくとも隣り合う抵抗不純物層 24 を分離する領域には前記第 1 不純物が導入されないため、第 1 絶縁層 14 をエッチングする際に、素子分離領域 12 が除去されるのを防止することができる。これにより、前記 (L) の工程で、抵抗不純物層 24 と連続するコンタクト不純物層 26 を形成する際に、隣り合うコンタクト不純物層 26 が導通するのを防止することができる。

(2) 第 2 に、高耐圧および低耐圧トランジスタの形成領域 2 0 0 a , 3 0 0 a において、トランジスタ 2 0 0 , 3 0 0 のソース / ドレイン領域を形成する工程と、抵抗素子の形成領域 1 0 0 a において、抵抗導電層 2 4 と連続するコンタクト不純物層 2 6 を形成する工程とを、同一の工程にて行なうことにより、製造プロセスの効率化を図ることができる。

[変形例]

図 2 7 に、本実施の形態の半導体装置の製造方法の別の一変形例の平面図を示す。本変形例は、前述した本実施の形態の半導体装置の製造プロセスのうち、前記 (E) に相当する工程において、第 1 不純物が導入される範囲が異なる。その他の工程は前述した本実施の形態の半導体装置の製造プロセスと同様である。

図 2 7 において、第 1 不純物導入領域 1 2 4 a および第 2 不純物導入領域 1 2 6 a を点線で示す。すなわち、点線で囲んだ領域内がそれぞれ、第 1 不純物導入領域 1 2 4 a および第 2 不純物導入領域 1 2 6 a である。また、図 2 7 において、斜線で示した領域が第 2 不純物導入禁止領域 3 2 5 である。

第 1 不純物導入領域 1 2 4 a は、前述した (E) の工程に相当する工程で第 1 不純物が導入される領域である。具体的には、前述した本実施の形態の製造プロセスにおける (E) の工程では、活性領域 1 5 に第 1 不純物が導入されるのに対し、この変形例では、活性領域 1 5 および素子分離領域 1 2 に第 1 不純物が導入される。また、第 2 不純物導入領域 1 2 6 a が設けられる範囲は、前述した図 2 6 に示す変形例と同様である。

図 2 7 に示す変形例においては、隣り合う第 2 不純物導入領域 1 2 6 a を分離するように第 2 不純物禁止領域 3 2 5 が形成されることにより、隣り合う第 2 不純物導入領域 1 2 6 a に挟まれた領域には前記第 2 不純物が導入されないため、素子分離領域 1 2 の絶縁性を確保することができる。これにより、隣り合うコンタクト不純物層 2 6 が導通するのを防止することができる。

本発明は、上述した実施の形態に限定されるものではなく、種々の変形が可能である。例えば、本発明は、実施の形態で説明した構成と実質的に同一の構成 (例えば、機能、方法および結果が同一の構成、あるいは目的および結果が同一の構成) を含む。また、本発明は、実施の形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施の形態で説明した構

成と同一の作用効果を奏する構成又は同一の目的を達成することができる構成を含む。また、本発明は、実施の形態で説明した構成に公知技術を付加した構成を含む。

例えば、上記の実施の形態においては、抵抗不純物層 24 が n 型不純物を導入することにより形成される場合を示したが、p 型不純物から抵抗不純物を形成することもできる。

また、例えば、上記の実施の形態においては、トランジスタ 200, 300 が n 型 MOS である場合、すなわち、半導体基板 10 が p 型シリコン基板であり、トランジスタ 200 のソース / ドレイン領域 17, 19 に導入される不純物を n 型不純物とし、半導体基板 10 のウエル 11 およびゲート導電層 16H, 20L に導入される不純物を p 型不純物とする場合について説明したが、各層においてこれらを入れ替えても本発明の趣旨を逸脱するものではない。例えば、トランジスタ 200, 300 のかわりに、図 1 に示す p MOS トランジスタ 400, 500 を用いる場合でも同様の作用および効果を奏することができる。

さらに、例えば、上記実施の形態では、半導体層としてバルク状の半導体基板を用いたが、SOI 基板の半導体層を用いることもできる。

特許請求の範囲

【請求項 1】 (a) 半導体層上に、素子分離領域と、前記素子分離領域によって電氣的に分離された活性領域とを形成し、

(b) 第 1 不純物導入領域を形成することにより、前記活性領域の少なくとも一部に抵抗不純物層を形成し、その際に、前記素子分離領域に第 1 不純物導入禁止領域を設けること、

を含む、半導体装置の製造方法。

【請求項 2】 請求項 1 において、

前記 (b) において、

前記抵抗不純物層を複数形成し、

前記第 1 不純物導入禁止領域は少なくとも、隣り合う前記第 1 不純物導入領域を分離するように形成される、半導体装置の製造方法。

【請求項 3】 請求項 1 または 2 において、

さらに、(c) 前記抵抗不純物層に連続する領域に第 2 不純物導入領域を形成することにより、コンタクト不純物層を形成すること、を含む、半導体装置の製造方法。

【請求項 4】 請求項 3 において、

前記 (c) において、

前記第 2 不純物導入領域を形成する際、少なくとも前記素子分離領域に第 2 不純物導入禁止領域を設ける、半導体装置の製造方法。

【請求項 5】 請求項 4 において、

前記 (c) において、

前記コンタクト不純物層を複数形成し、

前記第 2 不純物導入禁止領域は少なくとも、隣り合う前記第 2 不純物導入領域を分離するように形成される、半導体装置の製造方法。

【請求項 6】 (a) 半導体層上に、素子分離領域と、前記素子分離領域によって電氣的に分離された活性領域とを形成し、

(b) 第 1 不純物導入領域を形成することにより、前記活性領域の少なくとも一部に抵抗不純物層を形成し、

(c) 前記抵抗不純物層に連続する領域に第 2 不純物導入領域を形成することにより、コンタクト不純物層を形成し、その際に、少なくとも前記素子分離領域に第 2 不純物導入禁止領域を設けることを、
を含む、半導体装置の製造方法。

【請求項 7】 請求項 6 において、

前記 (c) において、

前記コンタクト不純物層を複数形成し、

前記第 2 不純物導入禁止領域は少なくとも、隣り合う前記第 2 不純物導入領域を分離するように形成される、半導体装置の製造方法。

【請求項 8】 活性領域に形成された抵抗不純物層と、ソース - ドレイン間耐圧が異なる絶縁ゲート型の高耐圧トランジスタおよび低耐圧トランジスタとが同一の半導体層上に混在する半導体装置の製造方法であって、

(a) 前記半導体層上に、素子分離領域と、前記素子分離領域によって電氣的に分離された活性領域とを形成し、

(b) 前記半導体層の上方に絶縁層を形成し、

(c) 前記抵抗不純物層の形成領域において、第 1 不純物導入領域を形成することにより、前記活性領域の少なくとも一部に抵抗不純物層を形成し、その際に、前記素子分離領域に第 1 不純物導入禁止領域を設け、

(d) 前記絶縁層を所定の形状にパターニングすることにより、前記高耐圧トランジスタの形成領域において、該高耐圧トランジスタのゲート絶縁層を形成し、前記低耐圧トランジスタおよび前記抵抗不純物層の形成領域において、前記絶縁層を除去し、

(e) 前記低耐圧トランジスタの形成領域において、該低耐圧トランジスタのゲート絶縁層を形成し、

(f) 前記第 1 および第 2 ゲート絶縁層上にそれぞれ、前記各トランジスタのゲート導電層を形成し、

(g) 第 2 不純物を導入することにより、前記各トランジスタのソース / ドレイン領域を形成すること、を含む、半導体装置の製造方法。

【請求項 9】 請求項 8 において、

前記 (g) において、

前記第2不純物を導入することにより、前記各トランジスタのソース/ドレイン領域を形成するとともに、前記抵抗不純物層の形成領域において、前記抵抗不純物層に連続する領域にコンタクト不純物層を形成すること、を含む、半導体装置の製造方法。

【請求項10】 請求項9において、

前記(g)において、

前記第2不純物を導入する際、前記抵抗不純物層の形成領域において、少なくとも前記活性領域に第2不純物導入領域を設け、少なくとも前記素子分離領域に第2不純物導入禁止領域を設ける、半導体装置の製造方法。

【請求項11】 請求項10において、

前記(g)において、

前記コンタクト不純物層を複数形成し、

前記第2不純物導入禁止領域は少なくとも、隣り合う前記第2不純物導入領域を分離するように形成される、半導体装置の製造方法。

【請求項12】 請求項9ないし11のいずれかにおいて、

前記(c)において、

前記抵抗不純物層を複数形成し、

前記第1不純物導入禁止領域は少なくとも、隣り合う前記第1不純物導入領域を分離するように形成される、半導体装置の製造方法。

【請求項13】 活性領域に形成された抵抗不純物層と、ソース-ドレイン間耐圧が異なる絶縁ゲート型の高耐圧トランジスタおよび低耐圧トランジスタとが同一の半導体層上に混在する半導体装置の製造方法であって、

(a) 前記半導体層上に、素子分離領域と、前記素子分離領域によって電気的に分離された活性領域とを形成し、

(b) 前記半導体層の上方に絶縁層を形成し、

(c) 第1不純物導入領域を形成することにより、前記活性領域の少なくとも一部に抵抗不純物層を形成し、

(d) 前記絶縁層を所定の形状にパターニングすることにより、前記高耐圧トランジスタの形成領域において、該高耐圧トランジスタのゲート絶縁層を形成し、前記低耐圧トランジスタおよび前記抵抗不純物層の形成領域において、前記絶縁層を除去し、

(e) 前記低耐圧トランジスタの形成領域において、該低耐圧トランジスタのゲート絶縁層を形成し、

(f) 前記第 1 および第 2 ゲート絶縁層上にそれぞれ、前記各トランジスタのゲート導電層を形成し、

(g) 前記第 2 不純物を導入することにより、前記各トランジスタのソース / ドレイン領域を形成するとともに、前記抵抗不純物層に連続する領域にコンタクト不純物層を形成し、その際に、少なくとも前記素子分離領域に第 2 不純物導入禁止領域を設けること、
を含む、半導体装置の製造方法。

【請求項 14】 請求項 13 において、

前記 (g) において、

前記第 2 不純物を導入する際、前記抵抗不純物層の形成領域において、少なくとも前記活性領域に第 2 不純物導入領域を設け、少なくとも前記素子分離領域に第 2 不純物導入禁止領域を設ける、半導体装置の製造方法。

【請求項 15】 請求項 14 において、

前記 (g) において、

前記コンタクト不純物層を複数形成し、

前記第 2 不純物導入禁止領域は少なくとも、隣り合う前記第 2 不純物導入領域を分離するように形成される、半導体装置の製造方法。

【請求項 16】 請求項 1 ないし 15 のいずれかにおいて、

前記素子分離領域は、セリセス LOCOS である、半導体装置の製造方法。

【請求項 17】 半導体層と、

前記半導体層上に形成され、ソース - ドレイン間耐圧が異なる絶縁ゲート型の高耐圧トランジスタおよび低耐圧トランジスタと、

前記半導体層上に形成された抵抗不純物層と、
を含む、半導体装置。

【請求項 18】 請求項 17 において、

前記半導体層には、素子分離領域と、該素子分離領域によって電氣的に分離された活性領域とが形成され、

前記抵抗不純物層は、前記活性領域に形成されている、半導体装置。

【請求項 19】 請求項 17 または 18 において、

前記素子分離領域は、セシリセスLOCOSである、半導体装置。

要約書

本発明の半導体装置は、半導体層 10 と、半導体層 10 上に形成され、ソース - ドレイン間耐圧が異なる絶縁ゲート型の高耐圧トランジスタ 200 および低耐圧トランジスタ 300 と、半導体層 10 上に形成された抵抗不純物層 24 とを含む。